

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-082716
 (43)Date of publication of application : 23.03.1990

(51) Int. Cl. H03K 19/0185
 H01L 27/04
 H01L 29/784
 H03K 17/08
 H03K 19/0944

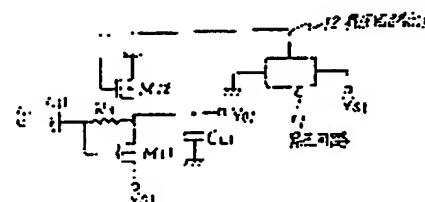
(21)Application number : 63-235506 (71)Applicant : NEC CORP
 (22)Date of filing : 19.09.1988 (72)Inventor : TANIMOTO SUSUMU

(54) COMPLEMENTARY MISFET INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To speed up at the time of a low voltage by lowering the threshold voltage of a driver transistor, and executing the low threshold voltage of a driver transistor and the gate boosting of a load MISFET by the addition of a booster circuit.

CONSTITUTION: Since the gate potential of a P channel MOSFET M12 of a load is biased to the output potential of a booster circuit 11 further lower than a negative power source VS1, the gate width can be made further smaller than biasing to a VS1 simply, and the load capacity is decreased. Since the threshold voltage of an (n) channel MOSFET M11 which is a driver is set lower than the ordinary one about by 0.1 to 0.7V, the mutual conductance higher than conventional driver transistor is obtained. Thus, the high speed at the time of a low voltage action can be executed.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑪ 公開特許公報(A)

平2-82716

⑫ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月23日

H 03 K 19/0185
H 01 L 27/04G 7514-5F
B 7514-5FH 03 K 29/784
17/08
19/0944

C 8124-5J

8326-5J H 03 K 19/00 1 0 1 B
8326-5J 19/094 A
8422-5F H 01 L 29/78 3 0 1 E

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 相補型MISFET集積回路

⑮ 特 願 昭63-235506

⑯ 出 願 昭63(1988)9月19日

⑰ 発 明 者 谷 本 晋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

相補型MISFET集積回路

2. 特許請求の範囲

第1および第2の電源端に直列に接続された第1および第2導電型のエンハンスメント型MISFETを有する相補型MISFET集積回路において、昇圧回路を設け、この回路により前記第1導電型MISFETのゲートを第2電源端の電位より高いかまたは低い電位にバイアスすることを特徴とする相補型MISFET集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は相補型MISFET集積回路に関し、特に低電圧動作時の高速化に関する。

〔従来の技術〕

従来、時計、ポータブル機器等に使用される

CMOS集積回路は1.5V程度の電源電圧での動作が要求されるため、通常の5V単一電源用CMOS集積回路において、nチャネル型トランジスタのしきい電圧を0.7~0.8V、Pチャネル型トランジスタのしきい電圧を-0.7~-0.8Vとするのに対し、1.5V動作が要求される場合にはnチャネル型トランジスタでは、0.5~0.6V、Pチャネル型トランジスタでは-0.5~-0.6Vとしていた。5Vから1.5V程度への低電圧化対応として、Pチャネル、nチャネル型それぞれのしきい電圧の絶対値を0.2~0.3Vだけ小さくするのは、必ずしも十分なことではなく、動作スピードは当然遅くなり、5V電源では5MHz~20MHz程度とされるクロック周波数が1.5V電源では32KHz~100KHz程度とされる。しかし、しきい電圧の絶対値をさらに小さくすることは、リーク電流の増加を招くため実現がむずかしい。

現状での、5V電源と1.5V電源とで動作スピードの比較を第3図のCMOS回路で行ってみる。この回路は、水晶発振器やアナログ入力をロ

ジックレベルに変換するセルフバイアス増幅器として、しばしば使われる。この増幅器の電圧ゲインが1倍となる周波数 f_0 は、

$$f_0 = C_L / g_m \quad \dots\dots\dots ①$$

で与えられる。 g_m はこの増幅器の相互コンダクタンス、 C_L は負荷容量である。 g_m はさらに、 n チャネル型トランジスタ M_{11} の相互コンダクタンス g_{m1} 、 P チャネル型トランジスタ M_{12} の相互コンダクタンス g_{m2} の和として、 $g_m = g_{m1} + g_{m2}$ となる。また、ゲインを十分とるために、トランジスタ M_{11} 、 M_{12} が飽和するよう通常この増幅器のセルフ、バイアス電圧は、(電源電圧)/2程度に設定される。以上より、5V電源と1.5V電源とでの f_0 の値を比較すると、

$$\begin{aligned} \frac{f_{0(1.5V)}}{f_{0(5V)}} &= \frac{g_{m(1.5V)}}{g_{m(5V)}} \\ &= \frac{\beta_{n1}(1.5/2) - 0.5 + \beta_{p1}(1.5/2) - (-0.5)}{\beta_{n1}(5/2) - 0.7 + \beta_{p1}(5/2) - (-0.7)} \\ &= \frac{0.75 - 0.5}{2.5 - 0.7} \approx 0.14 \end{aligned}$$

電源では5V電源の50分の1～100分の1程度のスピードしか得られない。

上記のような低電圧動作時のスピードの低下に対する従来の回路的対策としては、回路をレシオ・レス回路からレシオ回路に変える方策がしばしば取られる。第3図の回路はレシオ・レスインバータを用いたものであるが、これをレシオ・インバータ化すると第4図のようになる。このレシオ・インバータは、 n チャネルトランジスタ M_{11} をドライバーとし、 P チャネルトランジスタ M_{12} を負荷としたものである。通常、このようにキャリア・モビリティの高い n チャネルトランジスタをドライバーとする。この回路の f_0 の値は、やはり①式で与えられるが、 g_m は n チャネル型トランジスタ M_{11} の相互コンダクタンスそのものとなる。低電圧時に上記のようなレシオ化を行うことにより高速化できる理由は、1点目として P チャネル・トランジスタのゲートが接地されているためにレシオレスの場合に比べて P チャネル・トランジスタのゲート・ソース間電圧の絶対値が

となる。(ここで、 $f_{0(1.5V)}$ 、 $f_{0(5V)}$ はそれぞれ1.5V電源での電圧ゲインが1となる周波数、5V電源での電圧ゲインが1となる周波数、 $g_{m(1.5V)}$ 、 $g_{m(5V)}$ はそれぞれ1.5V電源での相互コンダクタンス、5V電源での相互コンダクタンスで、また、飽和領域での相互コンダクタンスが $|V_{GS} - V_T|$ に比例するとし、 β_{n1} 、 β_{p1} をそれぞれトランジスタ M_{11} 、 M_{12} に対する比例定数とした。 V_{GS} はゲート・ソース間電圧、 V_T はトランジスタのしきい電圧である。)

この試算においては、 n チャネルトランジスタのしきい電圧を1.5V電源、5V電源それぞれで0.5V、0.7Vとし、同様に P チャネルトランジスタでも、それぞれ-0.5V、-0.7Vとしたが、その結果、1.5V電源では、前述のようなトランジスタのしきい電圧の絶対値の低下を行っても、5V電源の14%のスピードしか得られないことがわかる。実際には、さらに、しきい電圧の絶対値の0.15～0.2Vのプロセス・バラツキおよび-2mV/°程度の温度特性により、最悪1.5V

大きくなっているため、同じ抵抗値を得るのに P チャネル・トランジスタのゲート幅を小さくできるため負荷容量が小さくできるということがあげられる。さらに、2点目として、論理しきい値を高くすることができることである。第3図中のレシオレス・インバータの場合、トランジスタのしきい電圧が P 、 n チャネルとも0.7Vの場合、1.5V電源では、最大でもゲート・ソース間電圧は $1.5V - 0.7V = 0.8V$ しかかけられない。ところが、第4図中のレシオ・インバータでは、負荷の P チャネル・トランジスタは常に導通しているため、論理しきい値を(電源電圧)/2より自由に高くできる。つまり、ドライバーである n チャネル・トランジスタのゲート・ソース間電圧を上げられることになる。実際には、 P チャネル・トランジスタの動作領域が3極管側に動き、電圧ゲインが低下すると同時にローレベル電圧が浮き上がって来るため、任意に論理しきい値を上げることにはできない。しかし、1.5V程度の低電圧動作時には、数百mVゲート・ソース間電圧を上

げられるだけでも、かなり大きい高速化効果が期待できる。例として、トランジスタのしきい電圧が n 、Pチャネルとも 0.7 V の時、レシオ・レス化により 300 mV 論理しきい値を上げられた場合の高速化度を前と同様に計算して調べると、

$$\begin{aligned} & \frac{f_{s(1.5V, \text{res})}}{f_{s(1.5V, \text{nonres})}} \\ &= \frac{\beta_p | (1.5/2) + 0.3 - 0.7 |}{\beta_p | (1.5/2) - 0.7 | + \beta_n | (-1.5/2) - (-0.7) |} \\ &= \frac{0.35}{0.05} \times \frac{\beta_p}{\beta_p + \beta_n} \\ &= \frac{0.35}{0.05} \times \frac{1}{2} \\ &= 3.5 \end{aligned}$$

となる。ここで、 $f_{s(1.5V, \text{res})}$ は 1.5 V 電源での上記条件での第 4 図のセルフ・バイアス増幅器の電圧ゲインが 1 倍となる周波数、 $f_{s(1.5V, \text{nonres})}$ は 1.5 V 電源での第 3 図のセルフ・バイアス増幅器の電圧ゲインが 1 倍となる周波数で前に計算し

集積回路の 1.5 V 化はむずかしい、さらに一層の低電圧化は絶望的といえる。

〔発明が解決しようとする課題〕

上述した従来の CMOS 集積回路の低電圧化手法では、1.5 V 電源時で 5 V 電源動作 CMOS 集積回路に比べ 1 ～ 2 折程度も動作スピードが遅く、現状の 5 V 電源動作 CMOS 集積回路の 1.5 V またはそれ以下の低電圧化ができないという欠点がある。

〔課題を解決するための手段〕

本発明の相補型 MISFET 集積回路は、昇圧回路とその昇圧回路によって得られる低電位側電源より低い電位または高電位側電源より高い電位にゲートがバイアスされた負荷 MISFET とその負荷 MISFET のしきい値電圧に比べ 0.1 ～ 0.7 V オンしやすい方向にしきい値電圧を設定した負荷 MISFET と異なる導電型のドライバー MISFET とを有している。

すなわち、上述した従来の CMOS レシオ集積回路に対し、本発明は負荷 MOS のゲートを回路

た $f_{s(1.5V)}$ と同じものである。また、 $\beta_p = \beta_n$ とした。この計算の結果では、論理しきい値の上昇分による寄与だけでも、レシオ化により、3 倍以上の高速化ができることになる。ところで、レシオ化は高速化できるという利点だけではなく欠点もある。それは、レシオレス回路の消費電流が容量の充放電電流およびスイッチング時の貫通電流のみであるのに対し、第 4 図のようなレシオ回路では、ローレベル出力時は電流が流れ続けるため、消費電流が増加するということである。従って、時計動作回路やタイマー等のように常時動作しているような回路には使いづらいということである。しかし、レシオレス回路時に動作スピードの上限に近く波形がかなりなまって貫通電流が大きいような部分または常時動作はしないが高速動作が要求される例えば PLL 回路のプリスケータのような部分には有効な回路といえる。

上記のように、回路をレシオ化することにより高速化できるが、せいぜい数倍であり、5 V 電源の場合に比べ、まだ 1 折程度遅く、5 V 電源 CMOS

の低電位または高電位側電源に接続するのではなく、昇圧回路によって、低電位側電源電位より低い電位または高電位側電源電位より高い電位を負荷 MOS のゲートに供給すると同時に、ドライバー・トランジスタのしきい電圧を従来の 1.5 V 動作 CMOS 集積回路のしきい電圧より n チャネルの場合さらに低く -0.2 ～ -0.4 V 程度に P チャネルの場合さらに高く 0.2 ～ 0.4 V 程度にしている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第 1 図は本発明の一実施例の回路図である。 M_{11} はしきい電圧を -0.2 V ～ -0.4 V 程度に設定した n チャネル MOSFET、 M_{12} はしきい電圧を 0.5 ～ 0.6 V 程度に設定した P チャネル MOSFET であり、そのゲートは昇圧（～絶対値）回路 11 によって、負電源 V_{ss} の電位より低い電位にバイアスされている。 M_{11} と M_{12} とで M_{11} をドライバー、 M_{12} を負荷 MOSFET とするレシオ・インバータを構成している。 R_1 はこのインバータ

をセルフ・バイアスするためにインバータの入力と出力をショートする高抵抗であり、 C_{11} は結合容量である。 M_{11} 、 M_{12} 、 R_1 、 C_{11} 全体でAC結合増幅器を構成している。 C_{11} はこの増幅器の負荷容量である。

以上の構成により、従来より高速度な低電圧動作増幅器を実現できるのであるが、それを説明する前に、この構成が持つ2つの特徴点を説明する。1つは、この構成においては昇圧回路にかかる負担が非常に軽いということである。つまり、昇圧回路に接続される負荷がレシオ・インバータの負荷PチャネルMOSFETのゲート容量のみであるということである。従って、昇圧回路に対して電流供給能力は全く要求されない。通常、昇圧回路を実現する上で最もむずかしい問題は、電流供給能力を上げることである。出力が本構成におけるように非常に高い入力抵抗回路に接続されるのであれば、低電圧においても昇圧回路を実現することはたやすい。2つ目は、本構成においては、レシオ・インバータのドライバーとなっているn

チャネルMOSFETのしきい電圧が $-0.2 \sim -0.4$ V程度と通常リークが問題となるレベルに設定されているにもかかわらず時計動作回路やタイマー回路、データ保持回路等のように常時動作し続けるような回路でなければ、未動作時は負荷のPチャネルMOSFETのゲートを接地電位にすることにより回路電流をストップできる。負荷のPチャネルMOSFETはしきい電圧が $0.5 \sim 0.6$ に設定されているのでリークすることはない。昇圧電位と接地電位の切り換えは昇圧回路出力部に適当なスイッチ回路をつければ容易にできる。

次に、本構成により従来より高速度な低電圧動作増幅器を実現できる理由を説明する。まず、1点目として、負荷のPチャネルMOSFETのゲート電位が負電源 V_{ss} よりさらに低い昇圧回路出力電位にバイアスされているため、単に V_{ss} 電位にバイアスするよりさらにゲート幅を小さくできる。そのため、負荷容量が軽減され高速度化できる。2点目は、ドライバーであるnチャネルMOSFETのしきい電圧が通常より $0.1 \sim 0.7$ V程度低く設

定されているため、従来のドライバー・トランジスタより高い相互コンダクタンスを得られることによる高速度化効果である。この2番目の効果の度合を試算してみると以下になる。ここでは、 M_{11} としきい電圧を 0.1 V、従来のnチャネル・トランジスタのしきい電圧を 0.7 V、負電源 V_{ss} の電位を -1.5 Vセルフ・バイアス電位を -0.5 Vとすると、従来のゲインが1倍となる周波数を $f_{-0.5}$ 、本構成における同様な周波数を $f_{-0.7}$ として、

$$\frac{f_{-0.5}}{f_{-0.7}} = \frac{-0.5 - (-1.5) - 0.1}{-0.5 - (-1.5) - 0.7} = 3$$

となる。従って、この2点目だけの効果でも、従来に対して3倍もの高速度化効果がある。

第2図は本発明の他の実施例の回路図である。 M_{11} 、 M_{12} はしきい電圧を $-0.2 \sim -0.4$ Vと低くしたnチャネル・トランジスタであり、 M_{13} 、 M_{14} は昇圧回路により負電源 V_{ss} より低い電位にゲートをバイアスしたPチャネル・トランジスタであり、 M_{13} は M_{11} 、 M_{12} と同様しきい電圧を $-0.2 \sim$

0.4 Vと低くし、ゲートを V_{ss} という定電圧源に接続されたnチャネル・トランジスタである。全体として、 M_{11} 、 M_{12} を差動入力対、 M_{13} 、 M_{14} を負荷、 M_{13} を定電流源とする差動増幅器を構成している。

この実施例においても、実施例1と同様低電圧時の高速度化が同じ理由により可能である。さらに、この実施例においては、 M_{13} もしきい電圧を下げているので、節点23の電位を M_{13} の低電流特性を損うことなく低くできるので従来の差動増幅器に比べ、同相入力範囲および最低動作電圧を下げられるという利点がある。

【発明の効果】

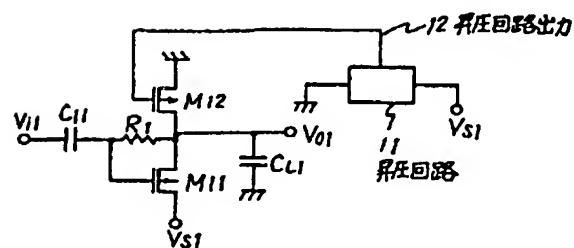
以上説明したように本発明は、相補型MISFETレシオ回路において、ドライバー・トランジスタの低しきい電圧化と昇圧回路の付加による負荷MISFETのゲート昇圧を行うことにより、MISFET集積回路を低電圧動作化および高速度化できる効果がある。

4. 図面の簡単な説明

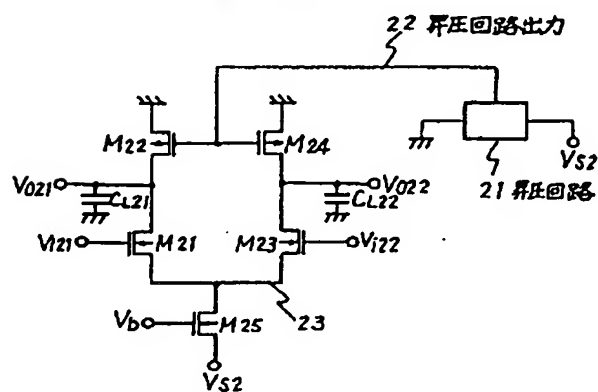
第1図および第2図はそれぞれ本発明の実施例の回路図、第3図および第4図は従来例の回路図である。

V_{i1} , V_{i11} , V_{i12} , V_{i1} , V_{i1} ……入力、
 V_{s1} , V_{s2} ……負電源、 V_{s2} , V_{s2} ……正電源、
 V_{o1} , V_{o11} , V_{o12} , V_{o1} , V_{o1} ……出力、 R_1 ,
 R_2 , R_2 ……抵抗、 C_{i1} , C_{i1} , C_{i1} ……結合容
量、 C_{L1} , C_{L11} , C_{L12} , C_{L1} , C_{L1} ……負荷容
量、 M_{11} , M_{11} , M_{12} , M_{12} , M_{11} , M_{11} …… n
チャネルMOSFET、 M_{12} , M_{11} , M_{11} ,
 M_{12} , M_{12} ……PチャネルMOSFET、11,
21……昇圧回路、12, 22……昇圧回路出力。

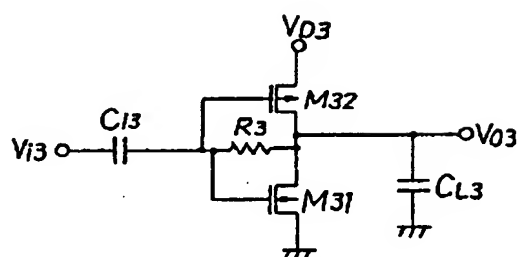
代理人 弁理士 内 原 晋



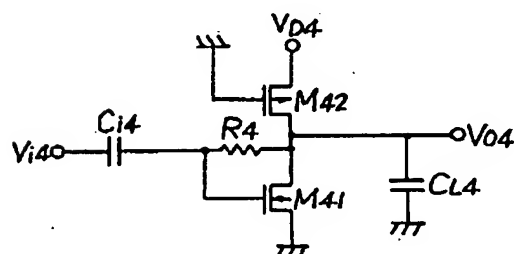
第1図



第2図



第3図



第4図